

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-321178

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/412

G 1 1 C 11/40

3 0 1

11/413

11/34

3 4 1 C

審査請求 有 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平7-124888

(22) 出願日 平成7年(1995)5月24日

(71) 出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡一丁目1番1号

(72) 発明者 梅▲崎▼ 信之

熊本県熊本市八幡町100番地 九州日本電気株式会社内

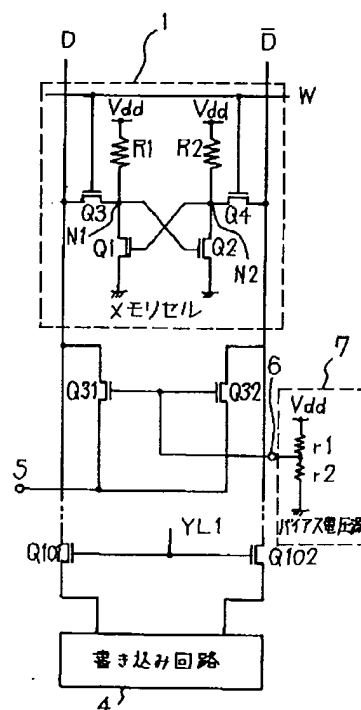
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 スタティック・ランダムアクセスメモリ

(57) 【要約】

【目的】 デジット線間のカップリング容量によりデジット線が負電圧に電圧降下し、非選択のメモリセルの記憶情報が反転して誤動作するのを防止する。

【構成】 互いにドレインとゲートを交差接続し、ソースをともに接地電位に接続したNチャネルトランジスタQ1およびQ2と、負荷電流素子R1およびR2と、NチャネルトランジスタQ3およびQ4からなるメモリセルで、ソースをそれぞれデジット線DおよびDバーに接続し、ドレインをともに第1のバイアス電圧源に接続し、ゲートを第2のバイアス電圧源に接続したNチャネルトランジスタQ31およびQ32により、デジット線に負のパルス電圧が入力してもデジット線を一定電圧にクランプし、NチャネルトランジスタQ3およびQ4が導通するのを防止する。



1

【特許請求の範囲】

【請求項1】 互いにドレインとゲートとを交差接続しソースをとともに接地電位に接続した第1および第2のNチャネルトランジスタと、前記第1および前記第2のNチャネルトランジスタのドレインに保持電流を供給する負荷電流素子と、ゲートをワード線に接続しソースを前記第1のNチャネルトランジスタのドレインに接続しドレインを第1のデジット線にそれぞれ接続した第3のNチャネルトランジスタと、ゲートを前記ワード線に接続しソースを前記第2のNチャネルトランジスタのドレインに接続しドレインを第2のデジット線にそれぞれ接続した第4のNチャネルトランジスタと、ソースをそれぞれ前記第1および前記第2のデジット線に接続しドレインをとともに第1のバイアス電圧源に接続した第5および第6のNチャネルトランジスタとを含み、前記第5および前記第6のNチャネルトランジスタのゲートを前記第5および前記第6のNチャネルトランジスタのスレッシュホールド電圧よりも低い第2の正のバイアス電圧源に接続したことを特徴とするスタティック・ランダムアクセスメモリ。

【請求項2】 メモリセルまたはデジット線もしくはワード線に不具合が生じた場合に置き換える冗長メモリセルと予備デジット線と予備ワード線とを有するスタティック・ランダムアクセスメモリにおいて、

前記予備メモリセルは、互いにドレインとゲートとを交差接続しソースをとともに接地電位に接続した第1および第2のNチャネルトランジスタと、前記第1および前記第2のNチャネルトランジスタのドレインに保持電流を供給する負荷電流素子と、ゲートを前記予備ワード線に接続しソースを前記第1のNチャネルトランジスタのドレインに接続しドレインを前記第1の予備デジット線にそれぞれ接続した第3のNチャネルトランジスタと、ゲートを前記予備ワード線に接続しソースを前記第2のNチャネルトランジスタのドレインに接続しドレインを前記第2の予備デジット線にそれぞれ接続した第4のNチャネルトランジスタと、ソースをそれぞれ前記第1および前記第2の予備デジット線に接続しドレインをとともに第1のバイアス電圧源に接続した第5および第6のNチャネルトランジスタとを含み、前記第5および前記第6のNチャネルトランジスタのゲートを前記第5および前記第6のNチャネルトランジスタのスレッシュホールド電圧よりも低い第2の正のバイアス電圧源に接続したことを特徴とするスタティック・ランダムアクセスメモリ。

【請求項3】 互いにドレインとゲートとを交差接続しソースをとともに接地電位に接続した第1および第2のNチャネルトランジスタと、前記第1および前記第2のNチャネルトランジスタのドレインに保持電流を供給する負荷電流素子と、ゲートをワード線に接続しソースを前記第1のNチャネルトランジスタのドレインにドレインを

2

第1のデジット線にそれぞれ接続した第3のNチャネルトランジスタと、ゲートを前記ワード線にソースを前記第2のNチャネルトランジスタのドレインにドレインを第2のデジット線にそれぞれ接続した第4のNチャネルトランジスタと、カソードを前記第1および前記第2のデジット線にそれぞれ接続した第1および第2のダイオードとを含み、前記第1および前記第2のダイオードのアノードを前記第1および前記第2のダイオードのアノードとカソード間順方向電圧よりも低い正のバイアス電圧源に接続したことを特徴とするスタティック・ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積化メモリに関し、特に、デジット線間の寄生容量による誤動作を防止できるスタティック・ランダムアクセスメモリに関する。

【0002】

【従来の技術】 最近、スタティック・ランダムアクセスメモリ（以下SRAMと称する）は、高速化とともに大容量化が急速に進んでおり、これに伴いワード線およびデジット線の長大化が著しい。さらに、ワード線間およびデジット線間の線間距離がプロセスの微細化とともに小さくなり単位長さ当たりの寄生容量が増大してきている。従って、ワード線間およびデジット線間の寄生容量が急速に増大していることから、寄生容量を介して雑音が飛び込み誤動作が起りやすくなってきている。こうしたことから、配線間のクロストークによる誤動作を防止して安定に動作するSRAMの提供が望まれている。

【0003】 従来のこの種のSRAMのメモリセルの回路を図7に示す。同図において、NチャネルトランジスタQ1、Q2は互いにドレインとゲートとが交差接続し、ソースは接地されている。高抵抗素子R1、R2は記憶情報を蓄える端子となるNチャネルトランジスタQ1、Q2のドレインN1、N2に保持電流を供給する素子であり、NチャネルトランジスタQ1、Q2とともにフリップフロップを構成する。ゲートをワード線Wに接続したQ3、Q4は、それぞれ端子N1、N2とデジット線D、Dバーとの記憶情報の出し入れに使われる。

【0004】 通常、ワード線Wの電圧はロウレベルにあり、メモリセルの記憶情報は互いに相補的な信号として端子N1とN2に蓄えられる。記憶情報の読み出し動作時において、ワード線Wの電圧をロウレベルからハイレベルに上げ、NチャネルトランジスタQ3、Q4を導通させ、記憶端子N1、N2に蓄えられている記憶情報をデジット線D、Dバーに読み出す。また、記憶情報を書き換える場合は、Nチャネルトランジスタが導通している状態で、デジット線D、Dバーに端子N1、N2の記憶電圧と逆の相補電圧を印加し、記憶電圧を反転させる。このように、メモリセルがフリップフロップにより

構成されるのでダイナミックメモリと異なり、記憶情報が安定して蓄積されるという特徴がある。

【0005】一般に、SRAMは図7のメモリセルを行方向および列方向にマトリクス状に配置して構成される。図8にマトリクス状に配置されているメモリセル群から行方向に2つのセル、列方向に2つのセルを抜き出した回路構成を示す。図9は、図8のメモリセル1にある一定期間“1”情報（ハイレベル）を書き込んだ後、“0”情報（ロウレベル）に書き換える動作の信号波形を示す。時刻 t_0 にワード線 W_1 の電圧がロウレベルで、メモリセル1の記憶端子 N_1 には“1”、記憶端子 N_2 には“0”、メモリセル2の記憶端子 N_3 には“0”、記憶端子 N_4 には“1”、メモリセル3の記憶端子 N_5 には“1”、記憶端子 N_6 には“0”が記憶されているものとする。このとき、Nチャネルトランジスタ Q_2 、 Q_5 、 Q_{10} は導通状態に、Nチャネルトランジスタ Q_1 、 Q_3 、 Q_4 、 Q_6 、 Q_7 、 Q_8 、 Q_9 、 Q_{11} 、 Q_{12} は非導通状態にある。また、通常のSRAMでは、読み出しおよび書き込み動作の前にデジット線対の電圧をハイレベルにクランプするため、デジット線 D_1 、 D_1 バー、 D_2 、 D_2 バーの電圧はハイレベルである。

【0006】いま、時刻 t_1 にワード線 W_1 に対して書き込みを行い、さらに時刻 t_2 に同じワード線 W_1 に対して書き込み変更を行うとする。時刻 t_1 にワード線 W_1 の電圧がハイレベルになり、時刻 t_1 と時刻 t_2 の間でデジット線 D_1 バーにロウレベルを、デジット線 D_1 にハイレベルを書き込み回路4により印加すると、Nチャネルトランジスタ Q_3 、 Q_4 、 Q_7 、 Q_8 が導通し、メモリセル1の記憶端子 N_1 が“1”から“0”に、記憶端子 N_2 が“0”から“1”に反転する。また、メモリセル2の“0”を記憶している記憶端子 N_3 とデジット線 D_2 が導通するため、時刻 t_1 と時刻 t_2 の間が十分長いとするとデジット線 D_2 の電圧がハイレベル（ V_{dd} ）からロウレベル（ GND ）まで下がってしまう。SRAMでは、書き込み後から次の読み出しまたは書き込みまでのタイミングに関して最小値の規定はしているが、最大値については特に規定していないので、非選択のデジット線が V_{dd} から0Vまで下がってしまうことが起こり得る。

【0007】時刻 t_2 にメモリセル1に記憶されている情報の反対の情報を書き込むとする。このとき、ワード線 W_1 の電圧はハイレベルに保持されており、メモリ1の列選択信号 Y_{L1} をハイレベルに列選択信号 Y_{L2} をロウレベルにしてNチャネルトランジスタ Q_{101} および Q_{102} をともに導通にしNチャネルトランジスタ Q_{103} および Q_{104} をともに非導通にし、デジット線 D_1 バーにハイレベルを、デジット線 D_1 にロウレベルを書き込み回路4から印加すると、メモリ1の記憶端子 N_1 が“0”から“1”に、記憶端子 N_2 が“1”から

“0”に反転する。また、デジット線 D_1 の電圧がハイレベル（ V_{dd} ）からロウレベル（ GND ）に急激に引き下げられるため、デジット線 D_1 と D_2 間の寄生容量 C_{dd} によりデジット線 D_2 の電圧が、 GND 以下の電圧（ $-\Delta 1$ ）まで下がってしまう。

【0008】メモリセル3のNチャネルトランジスタ Q_{11} のスレッシュホールド電圧を V_t とし、このときのデジット線 D_2 の電圧の絶対値 $|-\Delta 1|$ が V_t よりも大きい場合（ $|-\Delta 1| > V_t$ ）、Nチャネルトランジスタ Q_{11} は導通状態になり、 Q_{11} に接続している記憶端子 N_5 の記憶情報が“1”から“0”に反転し、Nチャネルトランジスタ Q_{10} が非導通となり、記憶端子 N_6 の電圧が抵抗 R_6 を通して供給される電流によりロウレベルからハイレベルに上がってしまう。従って、その後メモリセル3の記憶情報を正しく読み出せないという問題が発生する。

【0009】上記の問題を解決するために、特開昭62-9593において、図10に示すように新規のSRAMセルが提案されている。図10のスタティックメモリセルは、メモリセルを構成するフリップフロップは従来のものと同一であるが、行ワード線と従来例にはない列ワード線の2種類のワード線が使われ、行ワード線についてはハイレベル、列ワード線についてはロウレベルである場合についてのみ対象とするメモリセルに対して読み出しまたは書き込みが行われる。図11は列ワード線 W_4 の駆動回路であり、Nチャネルトランジスタ Q_2 、 Q_3 は列ワード線 W_4 のハイレベル設定のために用いられ、Nチャネルトランジスタ Q_2 は列ワード線 W_4 の電圧をロウレベルに設定するために用いられる。Nチャネルトランジスタ Q_2 のゲートに印加されるクロック信号 Φ_1 は、列ワード線 W_4 の非選択時にはロウレベルになりNチャネルトランジスタ Q_2 は非導通となる。従って、Nチャネルトランジスタ Q_2 、 Q_3 のスレッシュホールド電圧を V_t とすると、ワード線 W_4 の電圧は $2V_t$ でクランプされる。一方、列ワード線 W_4 の選択時には、クロック信号 Φ_1 がハイレベルになりNチャネルトランジスタ Q_2 が導通し列ワード線の電圧は GND 電圧となる。

【0010】図10のメモリセルで行ワード線 W_3 の電圧をハイレベル W_3 （H）に、列ワード線 W_4 の電圧をロウレベルとするとNチャネルトランジスタ Q_3 、 Q_4 はともに導通し、メモリセルは選択状態となり従来のメモリセルと同様に読み出しおよび書き込みが行われる。次に、行ワード線 W_3 の電圧をハイレベルに継続したまま、列ワード線 W_4 の電圧をハイレベル W_4 （H）にし、Nチャネルトランジスタ Q_1 、 Q_2 、 Q_3 、 Q_4 のスレッシュホールド電圧を V_t として、 W_3 （H） $-V_t < W_4$ （H）の関係が満足されればNチャネルトランジスタ Q_3 、 Q_4 は非導通となりメモリセルは非選択の状態となる。従って、従来のメモリセルと違って選択さ

れた行ワード線または列ワード線のみに結合するメモリセルに対しては、非選択の状態となり読み出しも書き込も行われぬ。このため、隣接メモリセルの読み出しによるデジット線間のカップリング容量による誤動作を防止できる。

【0011】

【発明が解決しようとする課題】図10および図11に示す従来のSRAMでは、各デジット線対毎にNチャネルトランジスタが3素子づつ必要であるほか列ワード線の選択信号Φ1を発生させる回路が必要となる。さらに、列ワード線をあらたに設けなければならない、これらの理由からチップ面積がかなり増大してしまう。

【0012】このため、本発明の目的は従来のSRAMに最小の素子数を追加することによりチップ面積の増大を抑制しデジット線間のカップリング容量による誤動作を防止して安定に動作するSRAMを提供することにある。

【0013】

【課題を解決するための手段】そのため、本発明によるスタティック・ランダムアクセスメモリは、互いにドレインとゲートとを交差接続しソースをともに接地電位に接続した第1および第2のNチャネルトランジスタと、前記第1および前記第2のNチャネルトランジスタのドレインに保持電流を供給する負荷電流素子と、ゲートをワード線に接続しソースを前記第1のNチャネルトランジスタのドレインに接続しドレインを第1のデジット線にそれぞれ接続した第3のNチャネルトランジスタと、ゲートを前記ワード線に接続しソースを前記第2のNチャネルトランジスタのドレインに接続しドレインを第2のデジット線にそれぞれ接続した第4のNチャネルトランジスタと、ソースをそれぞれ前記第1および前記第2のデジット線に接続しドレインをともに第1のバイアス電圧源に接続した第5および第6のNチャネルトランジスタとを含み、前記第5および前記第6のNチャネルトランジスタのゲートを前記第5および前記第6のNチャネルトランジスタのスレッシュホールド電圧よりも低い第2の正のバイアス電圧源に接続したことを特徴としている。

【0014】

【実施例】次に、本発明について図面を参照して説明する。

【0015】図1は、本発明の第1の実施例のスタティック・ランダムアクセスメモリの回路図である。図1に示したNチャネルトランジスタQ1、Q2、Q3、Q4、高抵抗素子R1、R2、記憶端子N1、N2およびデジット線D、Dバーから構成されるメモリセル1は図7の従来例に示す回路構成と同じである。本実施例では、従来例で使用されている列ワード線は使用せず、NチャネルトランジスタQ1、Q2のソースをGND（接地）とする基本的な回路構成をとっている。Nチャネル

トランジスタQ1、Q2と高抵抗素子R1、R2でフリップフロップ回路が構成され、メモリ情報が相補信号として記憶端子N1、N2に蓄えられる。また、ドレインとともに第1のバイアス電圧を受け取る端子5に接続し、ソースをそれぞれデジット線DおよびDバーに接続したNチャネルトランジスタQ31、Q32によって、デジット線DおよびDバーが負に深く振れるのを防いでいる。第2のバイアス電圧源7は図1に示すようにVddを抵抗分割して構成し、NチャネルトランジスタQ31、Q32のスレッシュホールド電圧よりも低い正の電圧を端子6からQ31およびQ32のゲートに供給する。図1において端子5は第1のバイアス電圧源から正の電圧を受け取っているが、Vddまたは第2のバイアス電圧源あるいはGNDからバイアス電圧を受け取ってもよいし、これらの電圧源と別にSRAMチップ上に存在する電圧源からバイアス電圧を受け取ってもよい。

【0016】次に、本発明の書き込み動作を図1のメモリセル1を行方向に2個、列方向に2個マトリクス状に配置した図2と、その書き込み動作波形を示した図3を用いて説明する。今、時刻t0にワード線W1およびW2の電圧がともにロウレベルで、メモリセル1の記憶端子N1には“1”、記憶端子N2には“0”、メモリセル2の記憶端子N3には“0”、メモリセル3の記憶端子N5には“1”、記憶端子N6には“0”が記憶されているものとする。このとき、NチャネルトランジスタQ2、Q5、Q10は導通状態に、NチャネルトランジスタQ1、Q3、Q4、Q6、Q7、Q8、Q9、Q11、Q12は非導通状態にある。また、通常のSRAMでは、前に説明したようにデジット線D1、D1バー、D2、D2バーの電圧はハイレベルに保持している。

【0017】いま、従来例の動作で説明したように、時刻t1にワード線W1に対して書き込みを行い、さらに、時刻t2に同じワード線W1に対して書き込み変更を行うとする。時刻t1にワード線W1の電圧がハイレベルになり、時刻t1と時刻t2の間でメモリセル1の列選択信号YL1をハイレベルにしてNチャネルトランジスタQ101およびQ102をともに導通させ、デジット線D1バーにロウレベルを、デジット線D1にハイレベルを書き込み回路4により印加すると、NチャネルトランジスタQ3、Q4、Q7、Q8が導通し、メモリセル1の記憶端子N1が“1”から“0”に、記憶端子N2が“0”から“1”に反転する。また、メモリセル2の“0”を記憶している記憶端子N3とデジット線D2が導通するため、時刻t1と時刻t2の間が十分長いとするとデジット線D2の電圧がハイレベル（Vdd）からロウレベル（GND）まで下がってしまう。

【0018】時刻t2にメモリセル1に記憶されている情報の反対の情報を書き込むとする。このとき、ワード線W1の電圧はハイレベルが保持されており、メモリ1の列選択信号YL1をハイレベルにしてQ101および

Q102をとともに導通させ、デジット線D1バーにハイレベルを、デジット線D1にロウレベルを書き込み回路4により印加すると、メモリ1の記憶端子N1が“0”から“1”に、記憶端子N2が“1”から“0”に反転する。また、デジット線D1の電圧がハイレベル(V_{dd})からロウレベル(GND)に急激に引き下げられるため、デジット線D1とD2間の寄生容量C_{dd}によりデジット線D2の電圧が、GND以下の電(-Δ2)まで減少する。ここで、NチャネルトランジスタQ33およびQ34のスレッシュホールド電圧をV_t、第2のバイアス電圧源からの出力を受け取る端子6の電圧をV_aとすれば

$$\Delta 2 = |V_a - V_t| \cdots (1)$$

となる。従って、NチャネルトランジスタQ11とNチャネルトランジスタQ33のスレッシュホールド電圧を同じとすればNチャネルトランジスタQ11のスレッシュホールド電圧がΔ2よりも大きいため、デジット線D2の電圧が負の方向に大きくなると、最初にNチャネルトランジスタQ33が導通し第1のバイアス電圧を受け取る端子5からNチャネルトランジスタQ33を経由してデジット線D2に電流が流れ込み、デジット線D2の電圧は-Δ2でクランプされ、Q11が導通することはない。このため、記憶端子N5が“1”から“0”に反転して誤動作を起こす問題は生じない。

【0019】次に、本発明の第2の実施例を図4および図5を参照して説明する。

【0020】最近SRAMの大規模化に伴って、図4に示すようにメモリセルアレイ41の近くにあらかじめ冗長メモリセルアレイ42を設けておき、不良になったメモリセルを冗長メモリセルに置き換えて、不良チップを救済する方法が広く実用化されている。この場合、冗長メモリセルに供給するGND布線は、A点からB点を経由して冗長メモリセルに接続されるが、メモリチップ全体のチップ面積を小さくするため周辺回路43に供給するGND布線と共通にし、B点からさらに延長したC点で周辺回路に接続するレイアウトも行われる。この場合、A点とB点の布線インピーダンスをRとし、A点、B点間を流れる電流をIとすると、B点の電圧はA点よりもI・Rだけ上昇する。R=10Ω、I=30mAとすると電圧上昇は0.3Vにもなり、冗長メモリセルを構成する予備ワード線の電圧をその分だけ上昇させる結果となる。従って、予備デジット線が負電圧に振れた場合、予備ワード線に接続しているNチャネルトランジスタが導通しやすくなり、非選択の冗長メモリセルの情報が反転して誤動作を生じるという問題があった。

【0021】本実施例では図5に示すように、冗長メモリセル51の回路構成は従来の回路と同一であるが、ソースをそれぞれ予備デジット線D_XおよびD_Xバーに接続し、ドレインをとともに第1のバイアス電圧を受け取る端子5に接続し、ゲートをとともに第2のバイアス電圧を

受け取る端子6に接続したNチャネルトランジスタQ31およびQ32が新規に追加されている。端子6の電圧をV_aとしNチャネルトランジスタQ31およびQ32のスレッシュホールド電圧をV_tとすれば、予備デジット線D_XおよびD_Xバーが負に強く振れようとしても、予備デジット線の電圧は-|V_t-V_a|にクランプされ、NチャネルトランジスタQ3およびQ4は導通しない。また、NチャネルトランジスタQ31およびQ32のゲート電圧V_aは、NチャネルトランジスタQ31およびQ32のスレッシュホールド電圧V_tよりも低く設定され、通常動作時にはNチャネルトランジスタQ31およびQ32は導通しないので、余分な回路電流が流れてSRAMの消費電流が増大するという問題は生じない。本発明では、メモリチップ全体の面積を小さくするため冗長メモリセルアレイの電源と他の周辺回路などとの電源を共通化しても非選択メモリセルの記憶情報が反転するという問題は発生しないので、安定した読み出しおよび書き込みができるとともにチップ面積を小さくすることができる。

【0022】次に、本発明の第3の実施例を図6を参照して説明する。メモリセル1の回路構成は第1の実施例と同様であり、デジット線DおよびDバーをダイオードD1およびD2を用いてクランプしている。ダイオードD1およびD2は、アノードをPチャネルトランジスタのソース拡散層でカソードをNウェルの拡散層を用い、CMOSプロセスに付加工程を追加することなく、メモリセルと同一基板上に容易に形成することができる。

【0023】ダイオードD1およびD2のアノード電圧は、D1およびD2の順方向電圧(約0.7V)よりも低い電圧(約0.2V~0.5V)にバイアスされている。いま、ダイオードD1およびD2の順方向電圧V_Fを0.7V、V_{dd}を抵抗r1およびr2で分割した電圧を0.4Vとすると、デジット線DおよびDバーの電圧が負電圧になっても、ダイオードD1およびD2によって0.4V-0.7V=-0.3Vでデジット線DおよびDバーの電圧をクランプする。ダイオードD1およびD2の順方向電圧V_Fは、製造プロセスに殆どよらず安定しているのでデジット線DおよびDバーを安定した電圧でクランプすることができる。また、ダイオードD1およびD2は単位面積当たりの電流駆動能力が大きいので、小さい面積でデジット線DおよびDバーをクランプすることができメモリチップの面積を小さくすることができる。

【0024】

【発明の効果】以上説明したように、本発明によるステック・ランダムアクセスメモリは、デジット線間のカップリング容量により非選択デジット線が0Vから負電圧になったとしても非選択メモリセルの記憶情報が反転しないので、安定した読み出しおよび書き込み動作を行うことができる。また、従来例と較べてデジット線対

9

毎に必要とする素子が3素子から2素子に減るとともに、列ワード線を駆動するクロック発生回路が不要となる。さらに、列ワード線も不要となるため、チップ面積を大幅に小さくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】図1に示すメモリセルを行方向および列方向にそれぞれ2個ずつ配置した場合のメモリセルアレイである。

【図3】図2に示すメモリセルアレイの書き込み動作における信号波形図である。

【図4】本発明の第2の実施例を示すSRAMチップの概略図である。

【図5】本発明の第2の実施例を示す回路図である。

【図6】本発明の第3の実施例を示す回路図である。

【図7】従来の基本的なSRAMのメモリセルである。

【図8】図7に示すメモリセルを行方向および列方向にそれぞれ2個ずつ配置したメモリセルアレイである。

【図9】図8に示すメモリセルアレイの書き込み動作における信号波形図である。

【図10】デジット線間のカップリング容量による誤動作を改良した従来のSRAMの回路図である。

【図11】図10に示すSRAMの列ワード線を駆動する駆動回路図である。

【符号の説明】

1～3 メモリセル

4 書き込み回路

10

5 第1のバイアス電圧を受け取る端子

6 第2のバイアス電圧を受け取る端子

7 第2のバイアス電圧源

41 メモリセルアレイ

42 冗長メモリセルアレイ

43 周辺回路

44 ワードドライバ

45 ワードデコーダ

46 列ドライバ

47 列デコーダ

51 冗長メモリセル

A, B, C GND配線の接続点

D, \overline{D} , D1, $\overline{D1}$, D2, $\overline{D2}$ デジット線

Dx, \overline{Dx} 予備デジット線

W, W1, W2, W3 ワード線

WX 予備ワード線

W4 列ワード線

N1～N6 記憶端子

20 Q1～Q12, Q21～Q23, Q31～Q34, Q1

01～Q104 Nチャネルトランジスタ

D1, D2 ダイオード

R1～R6 高抵抗素子

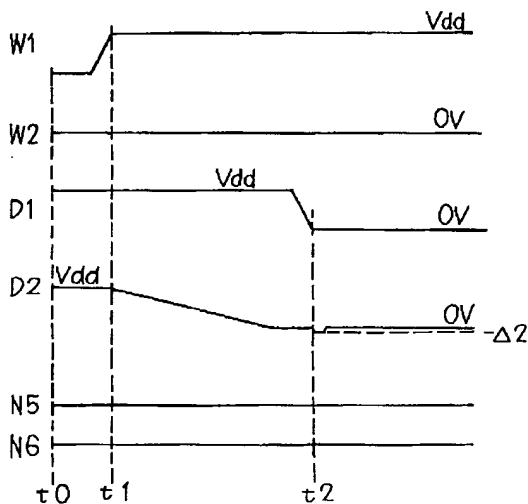
r1, r2 抵抗素子

Cdd カップリング容量

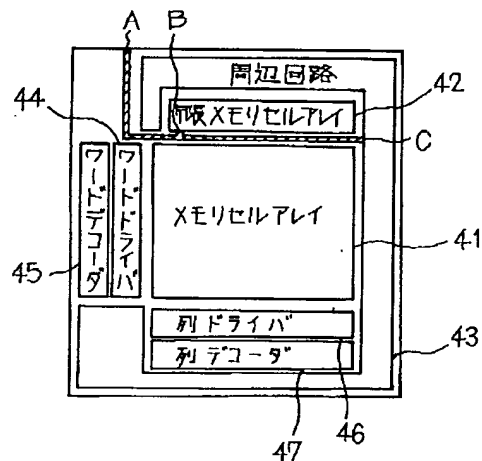
Φ 1 クロック信号

YL1, YL2 列選択信号

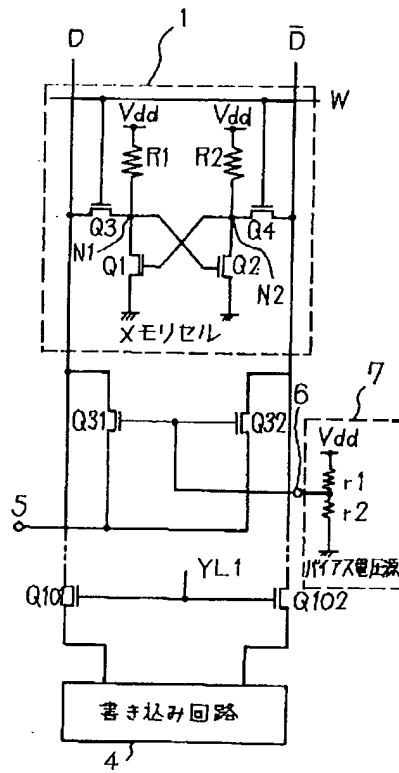
【図3】



【図4】

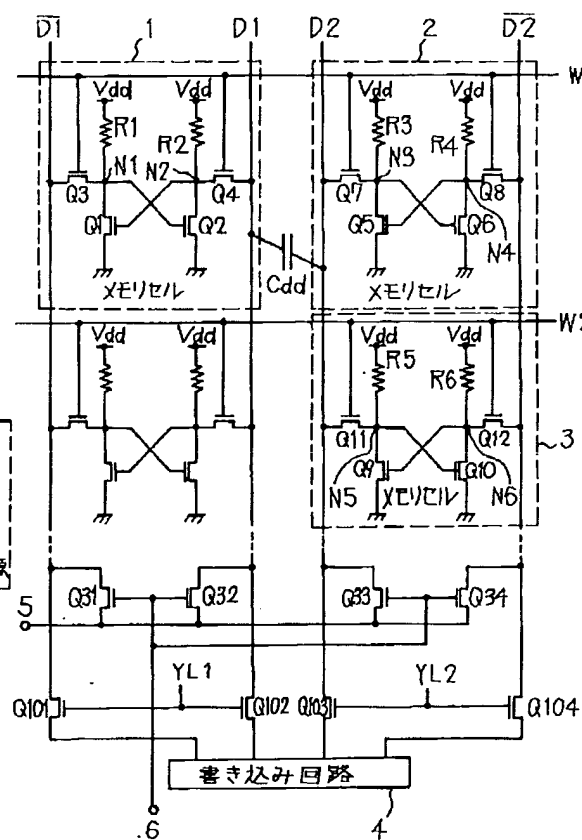


【図1】

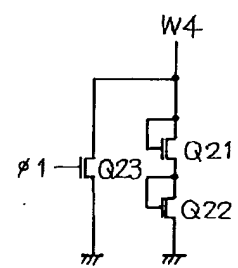


【図5】

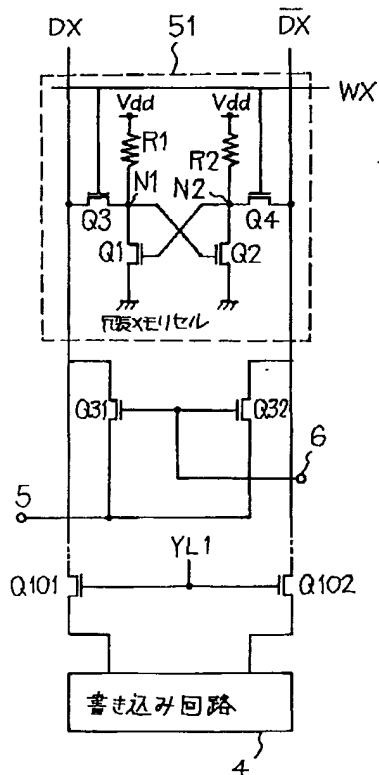
【図2】



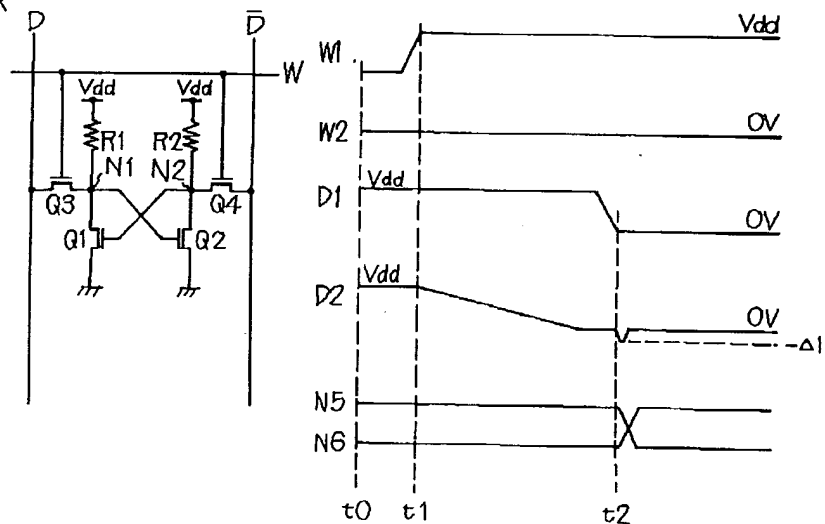
【図11】



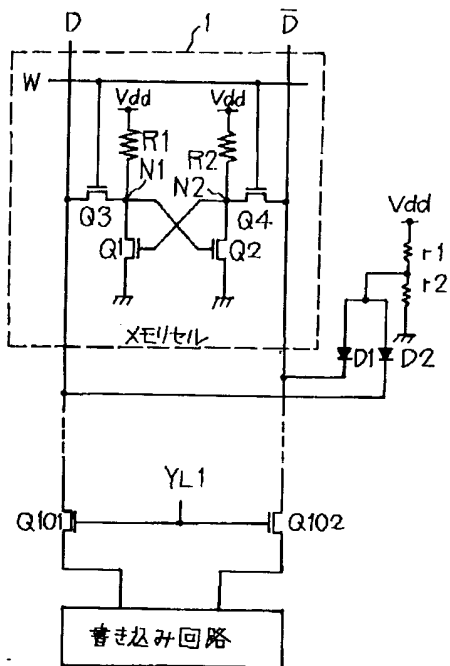
【図7】



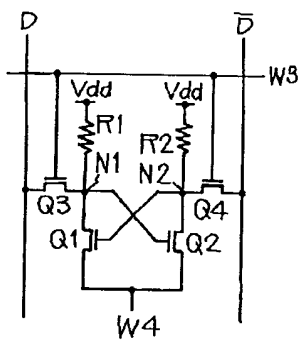
【図9】



【図6】



【図10】



【図8】

